

INSULATED-GATE SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

Patent Number: JP2000277728
Publication date: 2000-10-06
Inventor(s): SHIMOMURA TERUHIRO
Applicant(s): NEC KANSAI LTD
Requested Patent: ☐ JP2000277728
Application Number: JP19990080975 19990325
Priority Number(s):
IPC Classification: H01L29/78
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To prevent a short circuit between a source electrode and an EQR aluminum electrode in a temperature cycle test, by forming an EQR polysilicon electrode between the upside of a field oxide film and the underside of a layer insulating film.

SOLUTION: Since an EQR polysilicon electrode 37 is formed on a field oxide film 36, an EQR effect is enhanced, and the peripheral of the chip is shortened by shortening the length of the EQR. and the chip area is reduced. Since an EQR aluminum electrode 38 connects the polysilicon electrode 37 with a high-concentration one conductivity impurity region electrically, a clearance from a source electrode 32 can be made larger. Besides, a short circuit between the source electrode 32 and the aluminum electrode 38 by an aluminum slide phenomenon generated in temperature cycle test is prevented, since the polysilicon electrode 37 is formed under a layer insulating film 31, and the source electrode 32 and the polysilicon electrode 37 are separated from each other by the insulating film 31.

Data supplied from the esp@cenet database - I2

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-277728

(P2000-277728A)

(43) 公開日 平成12年10月6日 (2000.10.6)

(51) Int.Cl.

H01L 29/78

識別記号

F I

H01L 29/78

テマコード(参考)

652P

653A

655A

審査請求 未請求 請求項の数9 OL (全8頁)

(21) 出願番号

特願平11-80975

(22) 出願日

平成11年3月25日 (1999.3.25)

(71) 出願人 000156950

関西日本電気株式会社

滋賀県大津市晴嵐2丁目9番1号

(72) 発明者 下村 彰宏

滋賀県大津市晴嵐2丁目9番1号 関西日

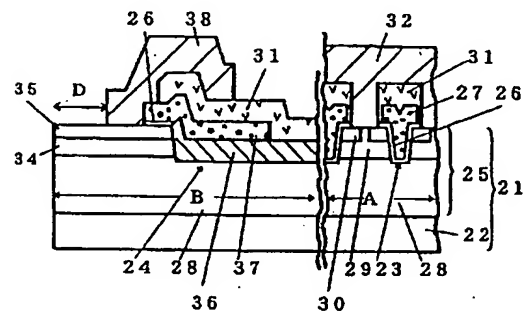
本電気株式会社内

(54) 【発明の名称】 絶縁ゲート型半導体装置およびその製造方法

(57) 【要約】

【課題】 チップ外周部を縮小できるとともに、温度サイクル耐量の向上が可能となるEQR構造を提供する。

【解決手段】 外周溝24内に設けたフィールド酸化膜36上と層間絶縁膜31下間に所定長でN+型不純物領域35に跨ってEQRポリシリコン電極37を設けるとともに、EQRポリシリコン電極37のチップ外周端側の端部とN+型不純物領域35とに電気的接続したEQRアルミニウム電極38を設ける。



【特許請求の範囲】

【請求項1】セル部にU字型溝およびチップ外周部の外周端から所定距離離れた位置に外周溝が形成されセル部およびチップ外周部に共通の低濃度一導電型ドレイン領域を含む半導体本体を具備し、セル部において、前記半導体本体に含まれ前記ドレイン領域の表面層で前記U字型溝に分離された領域に設けた他導電型ベース領域と、このベース領域の表面層に設けた高濃度一導電型ソース領域と、前記U字型溝の内面に設けたゲート酸化膜と、前記U字型溝にゲート酸化膜を介して設けたポリシリコンからなるゲート電極と、このゲート電極と層間絶縁膜で絶縁し前記ベース領域およびソース領域に電気的接続したアルミニウムを主金属とするソース電極とを具備し、

チップ外周部において、前記半導体本体に含まれ前記ドレイン領域の表面層でチップ外周端と前記外周溝間に挟まれた領域に設けた他導電型不純物領域と、この他導電型不純物領域の表面層に設けた高濃度一導電型不純物領域と、前記外周溝内に設けたフィールド酸化膜と、このフィールド酸化膜上と前記層間絶縁膜下間に所定長で前記高濃度一導電型不純物領域上に跨ってリング状に設けたポリシリコンからなるEQRポリシリコン電極と、このEQRポリシリコン電極のチップ外周端側の端部および前記高濃度一導電型不純物領域に電気的接続したアルミニウムを主金属とするEQRアルミニウム電極とを具備した絶縁ゲート型半導体装置。

【請求項2】前記EQRアルミニウム電極が方形チップのコーナー部を除いて設けられている請求項1記載の絶縁ゲート型半導体装置。

【請求項3】前記EQRアルミニウム電極が方形チップの4辺の各中央部4個所に設けられている請求項2記載の絶縁ゲート型半導体装置。

【請求項4】前記EQRアルミニウム電極がリング状に設けられている請求項1記載の絶縁ゲート型半導体装置。

【請求項5】前記EQRポリシリコン電極が前記ゲート電極と同時に設けられた請求項1記載の絶縁ゲート型半導体装置。

【請求項6】前記半導体本体が半導体基板上に形成されたエピタキシャル層である請求項1記載の絶縁ゲート型半導体装置。

【請求項7】前記半導体基板が高濃度一導電型である請求項6記載の絶縁ゲート型半導体装置。

【請求項8】前記半導体基板が高濃度他導電型である請求項6記載の絶縁ゲート型半導体装置。

【請求項9】ドレイン領域となる低濃度一導電型半導体層を表面側に含む半導体本体上にシリコン酸化膜とシリコン窒化膜を順次形成した後、エッチングにより半導体本体表面のセル部に初期溝とチップ外周部の外周端から所定距離離れた位置に外周初期溝とを形成する第1工

程と、

第1工程完了後、前記シリコン窒化膜をマスクに前記初期溝および外周初期溝の内面にLOCOS酸化膜を形成することより初期溝がU字型溝および外周初期溝が外周溝に形状変形され、このLOCOS酸化膜をマスクに、セル部において、前記半導体層の表面層の前記U字型溝に分離された領域に他導電型ベース領域を形成するとともにこのベース領域の表面層に高濃度一導電型ソース領域を形成し、チップ外周部において、前記半導体層の表面層のチップ外周端と前記外周溝に挟まれた領域に他導電型不純物領域を形成するとともにこの他導電型不純物領域の表面層に高濃度一導電型不純物領域を形成する第2工程と、

第2工程完了後、前記U字型溝のLOCOS酸化膜を除去するとともに前記外周溝のLOCOS酸化膜をフィールド酸化膜として残す第3工程と、

第3工程完了後、U字型溝内面を含む露出した半導体本体表面にゲート酸化膜を形成した後、その上からポリシリコン膜を被覆する第4工程と、

第4工程完了後、ポリシリコン膜をエッチングして、セル部において、前記ソース領域表面の一部およびU字型溝のポリシリコン膜を残してゲート電極を形成し、チップ外周部において、前記フィールド酸化膜上に所定長で前記高濃度一導電型不純物領域上に跨ってリング状にポリシリコン膜を残してEQRポリシリコン電極を形成し、その上から層間絶縁膜を被覆する第5工程と、

第5工程完了後、前記層間絶縁膜およびゲート酸化膜をエッチングして、セル部において、前記ソース領域表面の一部およびベース領域表面を露出し、チップ外周部において、前記高濃度一導電型不純物領域表面を露出するとともに、前記EQRポリシリコン電極表面のチップ外周端側の端部を露出して後、その上からアルミニウム膜を被覆し、このアルミニウム膜をエッチングして、セル部において前記ベース領域およびソース領域と電気的に接続するソース電極を形成し、チップ外周部において、前記EQRポリシリコン電極のチップ外周端側の端部および前記高濃度一導電型不純物領域に電気的接続したアルミニウムを主金属とするEQRアルミニウム電極を形成する第6工程とを有する絶縁ゲート型半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ゲート電極を溝の内部に設けた縦型のMOSFETやIGBT(Insulated Gate Bipolar Transistor)等の絶縁ゲート型半導体装置およびその製造方法に関する。

【0002】

【従来の技術】この種の絶縁ゲート型半導体装置の代表例としての電力用のMOSFETでは、チップ内部のセ

ル部にトランジスタ機能を有する多数の並列接続されたユニットセルを設け、チップ外周部にEQR (Equipotential Ring) によるチャンネルストップ構造を設けているのが一般的である。このMOSFETはチャンネルが半導体本体の溝方向に形成されており、チャンネルが半導体本体の面方向に形成されるゲートプレーナ型のMOSFETに比較してユニットセルの高集積化が可能であり、単位面積あたりのチャンネル幅を大きくとれ、素子の低オン抵抗化に非常に有効であることが知られている。以下、従来のNチャンネル型MOSFETの構成について、図6乃至図7を参照して説明する。

【0003】図6において、1は半導体本体で、高濃度N型であるN⁺型半導体基板2と、この半導体基板2上に設け、セル部A表面にU字型溝3が格子状に形成されるとともにチップ外周部B表面に外周端から所定距離離間して外周溝4がリング状に形成されたエピタキシャル層5とを有している。まず、セル部Aについて説明する。エピタキシャル層5表面に形成されたU字型溝3の内部にゲート酸化膜6を介してポリシリコンからなるゲート電極7が形成されている。エピタキシャル層5はエピタキシャル層5の初期層であり低濃度N型であるN⁻型ドレイン領域8と、このドレイン領域8表面層のU字型溝3により分離された領域にU字型溝3より浅く設けたP型ベース領域9と、ベース領域9の表面層にベース領域9を一部残して設けたN⁺型ソース領域10とを含んでいる。エピタキシャル層5上にはゲート電極7を被覆するように層間絶縁膜11を設け、更にその上にソース領域10およびベース領域9表面とオーミック接触により電氣的接続するアルミニウムを主金属とするソース電極12を設けている。ソース電極12はその一部を外周部への電氣的接続のためのソースパッドとしている。

【0004】次に、チップ外周部Bについて説明する。エピタキシャル層5はセル部Aと共通のドレイン領域8と、このドレイン領域8表面層のチップ外周端と外周溝4に挟まれた領域に設けベース領域9と同時に形成されたP型不純物領域14と、このP型不純物領域14表面層に設けソース領域10と同時に設けたN⁺型不純物領域15とを含んでいる。外周溝4内面にはフィールド酸化膜16を設け、このフィールド酸化膜16上にはフィールド酸化膜16を被覆するようにセル部Aと共通の層間絶縁膜11を設けている。更にN⁺型不純物領域15上のスクライブ領域Dを除く位置から層間絶縁膜11上のチップ外周端から所定距離離間した位置までに跨ってアルミニウムを主金属とするEQRアルミニウム電極17を図7に示すようにリング状にソース電極12と同時に設けている。尚、図6に示すEQRアルミニウム電極17は図7のB-B断面を示したものである。図示しないが、ゲート電極7は外部への電氣的接続のためのゲートパッドに接続されている。

【0005】

【発明が解決しようとする課題】ところで上記構成のMOSFETではEQRアルミニウム電極17をフィールド酸化膜16と層間絶縁膜11を介して設けているためEQR効果が低く、チャンネルストップとして十分機能させるためEQRアルミニウム電極17を長くする必要があり、その結果チップ外周部面積が大きくなり、チップ面積も大きくなるという問題がある。EQR効果を高くするためEQRアルミニウム電極を層間絶縁膜を介さずにフィールド酸化膜のみを介して設けることも考えられるが、フィールド酸化膜上を層間絶縁膜で被覆した後にEQRアルミニウム電極をN⁺型不純物領域に電氣的接続するためにN⁺型不純物領域上を露出する製造方法を使用する場合には、フィールド酸化膜上の層間絶縁膜を精度良くエッチングすることが難しい。また、EQRアルミニウム電極17はアルミニウムを主金属としてチップ外周部にリング状に設けており、製品での温度サイクル試験で、チップと樹脂間の膨張係数の違いでチップ表面にストレスが掛かり、材質的に柔らかいアルミが押し伸ばされたような状態になるアルミスライドと呼ばれる現象が発生することがある。特にチップのコーナー部に位置するリング状のEQRアルミニウム電極17のコーナー部はチップ中心部からの距離が4辺の中央部より大きいためアルミスライドが大きく起こり、隣接するソース電極と接触しソースドレイン間ショートが発生することがある。本発明は上記問題点を解決するためにEQRポリシリコン電極をフィールド酸化膜と層間絶縁膜との間に設け、このEQRポリシリコン電極と半導体本体との電氣的接続をEQRアルミニウム電極でとるようにして、EQR効果を大きくするとともに、アルミスライド現象によるソース電極とEQRアルミニウム電極との間のショートを防止した絶縁ゲート型半導体装置およびその製造方法を提供することを目的とする。

【0006】

【課題を解決するための手段】(1)本発明に係る絶縁ゲート型半導体装置は、セル部にU字型溝およびチップ外周部の外周端から所定距離離間した位置に外周溝が形成されセル部およびチップ外周部に共通の低濃度一導電型ドレイン領域を含む半導体本体を具備し、セル部において、前記半導体本体に含まれ前記ドレイン領域の表面層で前記U字型溝に分離された領域に設けた他導電型ベース領域と、このベース領域の表面層に設けた高濃度一導電型ソース領域と、前記U字型溝の内面に設けたゲート酸化膜と、前記U字型溝にゲート酸化膜を介して設けたポリシリコンからなるゲート電極と、このゲート電極と層間絶縁膜で絶縁し前記ベース領域およびソース領域に電氣的接続したアルミニウムを主金属とするソース電極とを具備し、チップ外周部において、前記半導体本体に含まれ前記ドレイン領域の表面層でチップ外周端と前記外周溝間に挟まれた領域に設けた他導電型不純物領域と、この他導電型不純物領域の表面層に設けた高濃度一

導電型不純物領域と、前記外周溝内に設けたフィールド酸化膜と、このフィールド酸化膜上と前記層間絶縁膜下間に所定長で前記高濃度一導電型不純物領域上に跨ってリング状に設けたポリシリコンからなるEQRポリシリコン電極と、このEQRポリシリコン電極のチップ外周端側の端部および前記高濃度一導電型不純物領域に電気的接続したアルミニウムを主金属とするEQRアルミニウム電極とを具備している。上記手段によれば、EQRポリシリコン電極を外周溝内に設けたフィールド酸化膜と層間絶縁膜下との間に設け、EQRポリシリコン電極と高濃度一導電型不純物領域との電気的接続をEQRアルミニウム電極によりとっているため、従来のEQRアルミニウム電極だけの場合のようにフィールド酸化膜+層間絶縁膜上にEQRアルミニウム電極を設けた場合よりEQR効果を高くできるとともに、従来のEQRアルミニウム電極だけの場合よりEQRアルミニウム電極とソース電極との離間距離を大きくとれ、更にソース電極とEQRポリシリコン電極間には段差があり、かつ、層間絶縁膜により分離されているため、温度サイクル試験で発生するアルミスライドによるソース電極とEQRアルミニウム電極とのショートを防止できる。

(2) 本発明に係る絶縁ゲート型半導体装置は(1)において、前記EQRアルミニウム電極が方形チップのコーナー部を除いて設けられている。上記手段によれば、特に、EQRアルミニウム電極をリング状にするのではなく、チップのコーナー部に設けないようにしたので、アルミスライドが大きく起こりやすいコーナー部でのソース電極とEQRアルミニウム電極とのショートを完全に防止できる。

(3) 本発明に係る絶縁ゲート型半導体装置は(2)において、前記EQRアルミニウム電極が方形チップの4辺の各中央部4個所に設けられている。上記手段によれば、前記EQRアルミニウム電極は方形チップの4辺の各中央部4個所に設けることによりEQRポリシリコン電極と高濃度一導電型不純物領域との電気的接続をとることができる。

(4) 本発明に係る絶縁ゲート型半導体装置は(1)において、前記EQRアルミニウム電極がリング状に設けられている。上記手段によれば、(2)よりはチップのコーナー部でのアルミスライドに対して少し不利になるが従来のEQRアルミニウム電極だけの場合よりはソース電極とEQRアルミニウム電極とのショートをより防止できる。

(5) 本発明に係る絶縁ゲート型半導体装置は(1)において、前記EQRポリシリコン電極が前記ゲート電極と同時に設けられている。

(6) 本発明に係る絶縁ゲート型半導体装置は(1)において、前記半導体本体が半導体基板上に形成されたエピタキシャル層である。

(7) 本発明に係る絶縁ゲート型半導体装置は(6)に

おいて、前記半導体基板が高濃度一導電型である。

(8) 本発明に係る絶縁ゲート型半導体装置は(6)において、前記半導体基板が高濃度他導電型である。

(9) 本発明に係る絶縁ゲート型半導体装置の製造方法は、ドレイン領域となる低濃度一導電型半導体層を表面側に含む半導体本体上にシリコン酸化膜とシリコン窒化膜を順次形成した後、エッチングにより半導体本体表面のセル部に初期溝とチップ外周部の外周端から所定距離離れた位置に外周初期溝とを形成する第1工程と、第1工程完了後、前記シリコン窒化膜をマスクに前記初期溝および外周初期溝の内面にLOCOS酸化膜を形成することにより初期溝がU字型溝および外周初期溝が外周溝に形状変形され、このLOCOS酸化膜をマスクに、セル部において、前記半導体層の表面層の前記U字型溝に分離された領域に他導電型ベース領域を形成するとともにこのベース領域の表面層に高濃度一導電型ソース領域を形成し、チップ外周部において、前記半導体層の表面層のチップ外周端と前記外周溝に挟まれた領域に他導電型不純物領域を形成するとともにこの他導電型不純物領域の表面層に高濃度一導電型不純物領域を形成する第2工程と、第2工程完了後、前記U字型溝のLOCOS酸化膜を除去するとともに前記外周溝のLOCOS酸化膜をフィールド酸化膜として残す第3工程と、第3工程完了後、U字型溝内面を含む露出した半導体本体表面にゲート酸化膜を形成した後、その上からポリシリコン膜を被覆する第4工程と、第4工程完了後、ポリシリコン膜をエッチングして、セル部において、前記ソース領域表面の一部およびU字型溝のポリシリコン膜を残してゲート電極を形成し、チップ外周部において、前記フィールド酸化膜上に所定長で前記高濃度一導電型不純物領域上の一部に跨ってリング状にポリシリコン膜を残してEQRポリシリコン電極を形成し、その上から層間絶縁膜を被覆する第5工程と、第5工程完了後、前記層間絶縁膜およびゲート酸化膜をエッチングして、セル部において、前記ソース領域表面の一部およびベース領域表面を露出し、チップ外周部において、前記高濃度一導電型不純物領域表面を露出するとともに、前記EQRポリシリコン電極表面のチップ外周端側の端部を露出して後、その上からアルミニウム膜を被覆し、このアルミニウム膜をエッチングして、セル部において前記ベース領域およびソース領域と電気的に接続するソース電極を形成し、チップ外周部において、前記EQRポリシリコン電極のチップ外周端側の端部および前記高濃度一導電型不純物領域に電気的接続したアルミニウムを主金属とするEQRアルミニウム電極を形成する第6工程とを有する。上記手段によれば、EQRポリシリコン電極をゲート電極と同時に形成することにより、従来のEQRアルミニウム電極だけの場合と同じ工程数で製造できる。

【0007】

【発明の実施の形態】以下に、本発明に基づき1実施例

のNチャンネル型MOSFETおよびその製造方法を図1乃至図4を参照して説明する。まず、構成を説明すると、図1において、21は半導体本体で、基板表面の結晶面が(100)面の高濃度一導電型であるN⁺型半導体基板22と、この半導体基板22上に設け、セル部A表面にU字型溝23が格子状に形成されるとともにチップ外周部B表面に外周端から所定距離間隔して外周溝24がリング状に形成されたエピタキシャル層25とを有している。まず、セル部Aについて説明する。エピタキシャル層25表面に形成されたU字型溝23の内部にゲート酸化膜26を介してポリシリコンからなるゲート電極27が形成されている。エピタキシャル層25はエピタキシャル層25の初期層であり低濃度N型であるN⁻型ドレイン領域28と、このドレイン領域28表面層のU字型溝23により分離された領域にU字型溝23より浅く設けた他導電型であるP型ベース領域29と、ベース領域29の表面層にベース領域29を一部残して設けたN⁺型ソース領域30とを含んでいる。エピタキシャル層25表面のU字型溝23により分離された各領域の平面的な構造は図2に示すように、ソース領域30は全体が略正方形であり、且つ、所定の一定幅で隔離した非環状の略4等分に分割された略3角形の4分割ソース領域30aであり、ベース領域29は4分割ソース領域30a間の幅狭なソース分割ベース領域29aである。エピタキシャル層25上にはゲート電極27を被覆するように層間絶縁膜31を設け、更にその上にソース領域30およびベース領域29表面とオーミック接触により電氣的接続するアルミニウムを主金属とするソース電極32を設けている。ソース電極32はその一部を外部への電氣的接続のためのソースパッドとしている。

【0008】次に、チップ外周部Bについて説明する。エピタキシャル層25はセル部Aと共通のドレイン領域28と、このドレイン領域28表面層のチップ外周端と外周溝24に挟まれた領域に設けベース領域29と同時に形成されたP型不純物領域34と、このP型不純物領域34表面層に設けソース領域30と同時に設けたN⁺型不純物領域35とを含んでいる。外周溝24内面にはフィールド酸化膜36を設け、このフィールド酸化膜36上のチップ外周端から所定距離間隔した位置からN⁺型不純物領域35上のゲート酸化膜26を介した一部に跨ってポリシリコンからなるEQRポリシリコン電極37を図3に示すようにリング状にゲート電極27と同時に設けている。更にN⁺型不純物領域35上のスクライブ領域Dを除く位置、EQRポリシリコン電極37上およびフィールド酸化膜36上に、EQRポリシリコン電極37のチップ外周端側の端部およびN⁺型不純物領域35の一部を除いて、セル部Aと共通の層間絶縁膜31を設け、このEQRポリシリコン電極37上のチップ外周端側の端部およびN⁺型不純物領域35の一部上と層間絶縁膜31上のEQRポリシリコン電極37のチップ内

側端よりチップ外周端側の位置にアルミニウムを主金属とするEQRアルミニウム電極38を図3に示すようにチップのコーナー部には設けず、チップ4辺の各中央部4個所に分散してソース電極12と同時に設けている。尚、図1に示すEQRポリシリコン電極37およびEQRアルミニウム電極38は図3のA-A断面を示したものである。図示しないが、ゲート電極27は外部への電氣的接続のためのゲートパッドに接続されている。

【0009】上記構成によれば、EQRポリシリコン電極37をフィールド酸化膜36と層間絶縁膜31との間に設け、EQRポリシリコン電極37とN⁺型不純物領域35との電氣的接続をチップ4辺の各中央部4個所に分散して設けたEQRアルミニウム電極38によりとっているため、従来のEQRアルミニウム電極だけの場合のようにフィールド酸化膜+層間絶縁膜上にEQRアルミニウム電極を設けた場合よりEQR効果を高くできるのでEQRポリシリコン電極37を短くでき、チップ面積を縮小することができるとともに、従来のEQRアルミニウム電極だけの場合よりEQRアルミニウム電極38とソース電極32との間隔距離を大きくとれ、更にEQRポリシリコン電極37は外周溝24内に形成したフィールド酸化膜36上で、かつ、層間絶縁膜31の下に設けられており、ソース電極32とEQRポリシリコン電極間は段差があり、かつ、層間絶縁膜により分離されているため、温度サイクル試験で発生するアルミスライドによるソース電極とEQRアルミニウム電極とのショートを防ぎ、信頼性を高くすることができる。特に、EQRアルミニウム電極38をリング状にするのではなく、チップのコーナー部に設けないようにしたので、アルミスライドが大きく起こりやすいコーナー部でのソース電極とEQRアルミニウム電極とのショートを防ぎ、信頼性を高くすることができる。

【0010】次に製造方法を図5(a)~(e)と図1を参照して説明する。まず、第1工程はこの工程の完了後を図5(a)に示すように、基板表面の結晶面が(100)面でオリエンテーションフラットの結晶面が(100)面のN⁺型半導体基板22上にN⁻型のエピタキシャル初期層を形成した後、この初期層の表面に熱酸化法によりシリコン酸化膜53を膜厚500Å程度に形成し、更にその上にシリコン窒化膜54をCVD法により膜厚900Å程度に成長させた後、フォトリソグラフィ法およびドライエッチ法により選択的に窒化膜54、酸化膜53およびエピタキシャル層をエッチングしてセル部Aに初期溝55が格子状に形成されるとともに、チップ外周部Bのチップ外周端から所定距離間隔した位置より内側に外周初期溝56がリング状に形成されたエピタキシャル層25aを形成する。初期溝55は側壁面の結晶面が(100)面に対し0~30度の範囲内になるようにエッチングし、深さを例えば、1.3μmくらいでエッチングして形成される。尚、初期溝55の深さは

1. $3\mu\text{m}$ ねらい以外でもよい。酸化膜53は後工程でのLOCOS酸化時の窒化膜54による応力の緩衝膜として形成され、膜厚が厚いほうが応力が緩和されると同時に溝肩部の曲率半径も大きくなるので、曲率半径が適正值となるような膜厚としている。また、窒化膜54は後工程でのLOCOS酸化時のマスクとして形成され、膜厚が薄いほうが窒化膜54自身による応力を低減すると同時に溝肩部の曲率半径も大きくなるが、逆に膜厚が薄いことによる窒化膜54の損傷や窒化膜54を酸素が通り抜ける等の工程上の不具合が発生するので、工程上の不具合が発生せず曲率半径が適正值となるような膜厚としている。

【0011】次に、第2工程はこの工程の完了後を図5(b)に示すように、第1工程完了後、窒化膜54をマスクとして初期溝55、56の内面を酸化温度 1140°C 程度で熱酸化して膜厚 7000\AA 程度のLOCOS酸化膜57を形成すると、初期溝55がU字型溝23、外周初期溝56が外周溝24に形状変形される。LOCOS酸化膜57の形成温度は酸化膜57の粘性を高くして応力を低減するように設定している。溝肩部の曲率半径は適正值 $0.2\sim 0.7\mu\text{m}$ となる。U字型溝23の側壁面は結晶面が{100}面に対して $0\sim 30^{\circ}$ の範囲内で形成される。その後、窒化膜54および酸化膜53をウェットエッチ法により全面除去し、熱酸化法によりイオン注入のためのシリコン酸化膜58を膜厚 100\AA 程度に形成して後、LOCOS酸化膜57をマスクにしてシリコン酸化膜58を介してホウ素をイオン注入および熱拡散してU字型溝23の深さより浅く、U字型溝23により分離された領域にP型ベース領域29を形成するとともにチップ外周端と外周溝24に挟まれた領域にP型不純物領域34を形成する。尚、この後、図示しないがフォトリソグラフィ法でのレジストパターンでマスクしてホウ素または弗化ホウ素をイオン注入しフォトレジスト膜除去後に熱拡散してベース領域29表面層に含まれるP+型コンタクトベース領域を形成する。さらに、LOCOS酸化膜57をマスクにするとともにベース領域29上をフォトリソグラフィ法でのレジストパターンでマスクして砒素またはリンをイオン注入しフォトレジスト膜除去後に熱拡散してベース領域29表面層にN+型ソース領域30を形成するとともにP型不純物領域34表面層全面にN+型不純物領域35を形成する。この結果、図5(a)のエピタキシャル層25aは、表面に溝23、24が形成されエピタキシャル層の初期層であるN-型ドレイン領域28と、ベース領域29と、ソース領域30と、P型不純物領域34と、N+型不純物領域35を含むエピタキシャル層25となる。

【0012】次に、第3工程はこの工程の完了後を図5(c)に示すように、第2工程完了後、溝24内のLOCOS酸化膜57をフォトリソグラフィ法でのレジストパターン59でマスクしウェットエッチ法により溝23

内のLOCOS酸化膜57とベース領域29、ソース領域30およびN+型不純物領域35上の酸化膜58を除去することによりベース領域29、ソース領域30およびN+型不純物領域35の表面と溝23の内面を露出させ、外周溝24に形成されたLOCOS酸化膜57をフィールド酸化膜36として残す。

【0013】次に、第4工程はこの工程の完了後を図5(d)に示すように、第3工程完了後、ベース領域29、ソース領域30およびN+型不純物領域35の表面と溝23の内面に熱酸化法によりゲート酸化膜26を形成する。ゲート酸化膜26の膜厚は、例えば、溝23の内面のベース領域29上で 500\AA 程度に形成される。以上の工程を経たエピタキシャル層25の表面をCVD法によりポリシリコン膜60で被覆する。

【0014】次に、第5工程はこの工程の完了後を図5(e)に示すように、第4工程完了後、フォトリソグラフィ法およびドライエッチ法により、セル部Aにおいてソース領域30表面の一部および溝23のポリシリコン膜60を残してゲート電極27を形成するとともに、チップ外周部Bにおいてフィールド酸化膜36上に所定長でN+型不純物領域35上のゲート酸化膜26を介した一部に跨ってリング状にポリシリコン膜60を残してEQRポリシリコン電極37を形成した後、以上の工程を経たエピタキシャル層25の表面をCVD法により層間絶縁膜31で被覆する。

【0015】次に、第6工程はこの工程の完了後を図1に示すように、第5工程完了後、セル部Aにおいてソース領域30表面の一部およびベース領域29表面が露出するように層間絶縁膜31およびゲート酸化膜26にコンタクト窓を形成するとともに、チップ外周部BにおいてN+型不純物領域35のスクライプ領域Dの層間絶縁膜31およびゲート酸化膜26を除去するとともに、EQRポリシリコン電極37表面のチップ外周端側の端部およびN+型不純物領域35上がチップ4辺の各中央部4個所で部分的に露出するように層間絶縁膜31およびゲート酸化膜26を除去する。以上の工程を経たエピタキシャル層25の表面をスパッタ法によりアルミニウム膜で被覆し、このアルミニウム膜をフォトリソグラフィ法およびドライエッチ法により選択的に除去して、セル部Aにおいてベース領域29およびソース領域30とオーミック接触により電氣的に接続するソース電極32と、チップ外周部BにおいてEQRポリシリコン電極37上のチップ外周端側の端部およびN+型不純物領域35の上記部分的に露出した表面から層間絶縁膜31上のEQRポリシリコン電極37のチップ内側端よりチップ外周端側の位置にアルミニウムを主金属とするEQRアルミニウム電極38を図3に示すようにチップのコーナ一部を除く4辺の各中央部4個所に分散して形成する。図示しないが、ゲート電極27から外部に電氣的に接続するためのゲートパッドが同時形成され、ソース電極3

2はその一部を外部への電氣的接続のためのソースパッドとしている。

【0016】この製造方法によれば、EQRポリシリコン電極37はゲート電極27と同時に形成でき、工程を増加させる必要がない。

【0017】上記実施例において、EQRアルミニウム電極を図3に示す平面パターンのもので説明したが、図4に示すようにリング状のものであってもよい。ただし、この場合は、図3に示すものよりチップコーナー部でのアルミスライドに対して少し不利となる。尚、図4のA-A断面のEQRポリシリコン電極77およびEQRアルミニウム電極78は図1に示すEQRポリシリコン電極37およびEQRアルミニウム電極38と同一である。上記実施例において、セル部Aのエピタキシャル層表面の平面的な構造を図2に示すソースが非環状パターンのもので説明したが、これに限定されることなく、他の非環状パターンやソース領域がベース領域を取り囲む環状パターンであってもよい。また、U字型溝を格子状に形成されたもので説明したが、ストライプ状に形成されたものであってもよい。また、一導電型としてN型および他導電型としてP型で説明したが、一導電型としてP型および他導電型としてN型であってもよい。また、半導体基板を高不純物濃度の一導電型で説明したが、高不純物濃度の他導電型であってもよい。この場合は、IGBTに利用できる。また、半導体本体を半導体基板とエピタキシャル層からなるもので説明したが、エピタキシャル層を含まない半導体基板だけであってもよい。この場合、半導体基板の裏面を高濃度のN型不純物層またはP型不純物層とする。

【0018】

【発明の効果】本発明によれば、EQRポリシリコン電極をフィールド酸化膜上に設けたので、従来のEQRアルミニウム電極だけの場合のようにフィールド酸化膜+層間絶縁膜上にEQRを設けた場合よりEQR効果を高くできるので、EQRの長さ短縮によりチップ外周部を短縮でき、チップ面積を縮小することができる。また、本発明でのEQRアルミニウム電極はEQRポリシリコン電極と高濃度一導電型不純物領域との電氣的接続を取る機能を有すればよいので面積を小さくでき、従来のEQRアルミニウム電極だけの場合よりソース電極との離間距離を大きくとれ、更にEQRポリシリコン電極は層間絶縁膜の下に設けられておりソース電極とEQRポリシリコン電極間は層間絶縁膜により分離されるため、温度サイクル試験で発生するアルミニウムスライド現象によるソース電極とEQRアルミニウム電極とのショートを防ぎ、信頼性を高くすることができる。また、EQRアルミニウム電極はリング状でもよいが、チップのコーナー部に設けないようにした方が、特にアルミスライドが大きく起こりやすいコーナー部でのソース電極とEQRアルミニウム電極とのショートを完全に防止で

き、信頼性をより高くすることができる。また、本発明の製造方法によれば、EQRポリシリコン電極をゲート電極と同時に形成することにより、従来のEQRアルミニウム電極だけの場合と同じ工程数で製造でき、ウェーハ1枚当りの製造コストを従来と同一でチップ面積を縮小することができるため、信頼性の高いチップを低コストで製造することができる。

【図面の簡単な説明】

【図1】 本発明の1実施例である縦型パワーMOSFETの要部断面図。

【図2】 図1の縦型パワーMOSFETのU字型溝で分離された半導体本体表面の1セル分の平面パターンを示す1実施例のパターン図。

【図3】 図1の縦型パワーMOSFETのEQRの平面パターンを示す1実施例のパターン図。

【図4】 図1の縦型パワーMOSFETのEQRの平面パターンを示す他の実施例のパターン図。

【図5】 図1の縦型パワーMOSFETの製造工程を示す要部断面図

【図6】 従来の縦型パワーMOSFETの要部断面図。

【図7】 図6に示す縦型パワーMOSFETのEQRの平面パターンを示すパターン図。

【符号の説明】

- 21 半導体本体
- 22 半導体基板
- 23 U字型溝
- 24 外周溝
- 25 エピタキシャル層
- 26 ゲート酸化膜
- 27 ゲート電極
- 28 ドレイン領域
- 29 ベース領域
- 30 ソース領域
- 31 層間絶縁膜
- 32 ソース電極
- 34 P型不純物領域
- 35 N+型不純物領域
- 36 フィールド酸化膜
- 37 EQRポリシリコン電極
- 38 EQRアルミニウム電極
- 53 シリコン酸化膜
- 54 窒化膜
- 55 初期溝
- 56 外周初期溝
- 57 LOCOS酸化膜
- 58 シリコン酸化膜
- 59 レジストパターン
- 60 ポリシリコン膜

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.